



(19)

(11) Publication number: 07086495 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 05184440

(51) Intl. Cl.: H01L 25/065 H01L 25/07 H01L 25/18

(22) Application date: 29.06.93

(30) Priority:

(43) Date of application publication: 31.03.95

(84) Designated contracting states:

(71) Applicant: SUMITOMO ELECTRIC IND LTD

(72) Inventor: MATSUMOTO KAZUYA

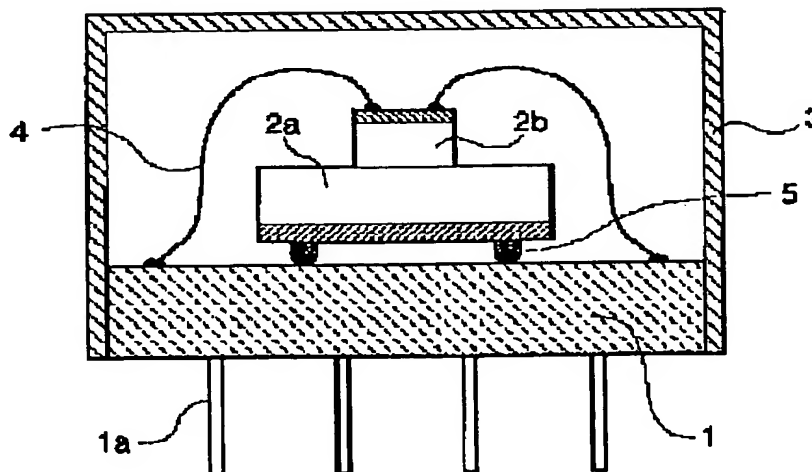
(74) Representative:

### (54) SEMICONDUCTOR DEVICE

#### (57) Abstract:

**PURPOSE:** To reduce the size of a metallic enclosure for housing a plurality of semiconductor chips by arranging a first semiconductor chip on an insulating substrate and a second semiconductor chip which is turned over as compared with the first semiconductor chip on the first semiconductor chip.

**CONSTITUTION:** In a metallic package composed of an insulating substrate 1 and metallic enclosure 3, a first semiconductor chip 2a is mounted in an inverted state on the substrate 1 by flip-chip bonding and a second semiconductor chip 2b is mounted on the chip 2a in a normal state so that the rear surfaces of the chips 2a and 3b can meet each other. The chip 2a is connected to wiring on the substrate 1 through bump electrodes 5 and the chip 2b is connected to the wiring on the substrate 1 through bonding wires 4. Therefore, the using area of the substrate 1 becomes the same as that obtained when only the chip 2a is mounted on the substrate 1 and the size of the metallic enclosure can be reduced.



COPYRIGHT: (C)1995,JPO

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平7-86495

(43) 公開日 平成7年(1995)3月31日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 25/065

25/07

25/18

H 0 1 L 25/ 08

B

審査請求 未請求 請求項の数2 F D (全 4 頁)

(21) 出願番号

特願平5-184440

(22) 出願日

平成5年(1993)6月29日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 松本 一也

神奈川県横浜市栄区田谷町1番地 住友電

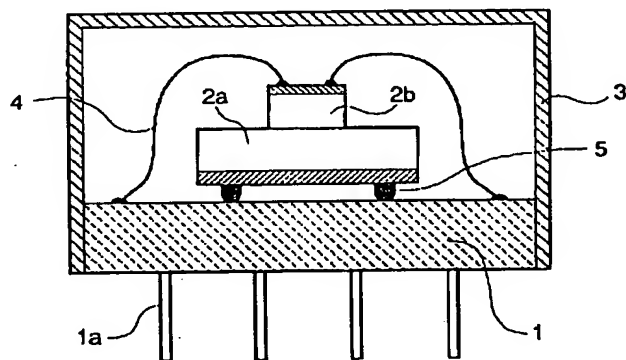
気工業株式会社横浜製作所内

(74) 代理人 弁理士 越場 隆

(54) 【発明の名称】 半導体デバイス

(57) 【要約】

【構成】 絶縁基板1と、絶縁基板1上に装荷された半導体チップ2a、2bと、絶縁基板1上の半導体チップ2a、2bを封止する金属筐体3を含む半導体デバイスにおいて、半導体チップ2a、2bのうち、第1半導体チップ2aは絶縁基板1上にフリップチップボンディング方式で実装され、第2半導体チップ2bは、第1半導体チップ2a上に実装されている。



## 1

## 【特許請求の範囲】

【請求項1】絶縁基板と、該絶縁基板上に装荷された半導体チップと、該絶縁基板上の該半導体チップを封止する金属筐体とを含む半導体デバイスにおいて、該絶縁基板上にフリップチップボンディング方式で装荷された第1半導体チップと、該第1半導体チップ上に、該第1半導体チップとは表裏を反転させて装荷された第2半導体チップとを備えることを特徴とする半導体デバイス。

【請求項2】請求項1に記載された半導体デバイスにおいて、前記第1半導体チップ上の素子または回路と、前記第2半導体チップ上の素子または回路とが、該第1半導体チップに形成されたヴィアホールを介して接続されていることを特徴とする半導体デバイス。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体デバイスに関する。より詳細には、ひとつの金属パッケージ内に複数の半導体チップを収容して形成された半導体デバイスの新規な構成に関する。

## 【0002】

【従来の技術】近年の半導体技術の進歩は目覚ましく、極めて多くの素子を高密度に実装する技術が実現されている。しかしながら、ベアチップとして供給される汎用の半導体チップを使用する場合や、光素子、超電導素子等のように通常の半導体回路とは製造工程の異なる素子等を使用する場合には、複数のチップを組み合わせるとひとつの半導体デバイスを構成する場合もある。

【0003】図4は、複数の半導体チップを備えた半導体デバイスの典型的な構成を示す図である。

【0004】同図に示すように、この半導体デバイスは、絶縁基板1上に装荷された複数の半導体チップ2a、2bと、これら半導体チップ2a、2bを封止する金属筐体3とから主に構成されている。半導体チップ2a、2bは、それぞれボンディングワイヤ4により絶縁基板1上の配線に接続され、更に、絶縁基板1に装着されたリードピン1aを介して外部に接続できるように構成されている。

【0005】上述のような半導体デバイスにおいて、デバイス全体の製造コストのうちで金属筐体が占める割合は比較的大きく、使用する金属筐体の寸法は小さいことが望ましい。しかしながら、実際には、絶縁基板上に各半導体チップのワイヤリングスペース等をとる必要があり、複数の半導体チップを備えた半導体デバイスではチップサイズ以上に金属筐体が大きくならざるを得ない。このため、複数の半導体チップを備えた半導体デバイスは割高なものになりがちである。

【0006】また、ボンディングワイヤは、それ自体の寄生インダクタンス等のために、特に周波数の高い信号や微弱な信号を取り扱う場合の信号の劣化が大きい。ま

## 2

た、ボンディングワイヤを使用した場合、高速動作の要求されるデバイスでは、信号線路長も無視し得ないものとなる。

## 【0007】

【発明が解決しようとする課題】上述のように、複数の半導体チップを収容して構成された半導体デバイスでは金属筐体が大きくなるためにコストの上昇が避けられず、また、高速あるいは微弱な信号の劣化が生じ易いという問題があった。

【0008】そこで、本発明は、上記従来技術の問題点を解決し、複数の半導体チップを収容する一方で小型の金属筐体を使用でき、且つ、高速な信号や微弱な信号も劣化させることなく使用できる、新規な構成の半導体デバイスを提供することをその目的としている。

## 【0009】

【課題を解決するための手段】本発明に従うと、絶縁基板と、該絶縁基板上に装荷された半導体チップと、該絶縁基板上の該半導体チップを封止する金属筐体とを含む半導体デバイスにおいて、該絶縁基板上にフリップチップボンディング方式で装荷された第1半導体チップと、該第1半導体チップ上に、該第1半導体チップとは表裏を反転させて実装された第2半導体チップとを備えることを特徴とする半導体デバイスが提供される。

## 【0010】

【作用】本発明に係る半導体デバイスは、絶縁基板に対する半導体チップの実装方法にその主要な特徴がある。

【0011】即ち、従来の半導体デバイスでは、半導体チップを絶縁基板上に水平に配列していたので、収容する半導体チップが複数になった場合に、単純に面積が増えるだけではなく、半導体チップ毎にワイヤリングスペース等を確保しなければならず、結果的にデバイスの寸法が非常に大きなものになっていた。また、半導体チップ相互の配線はボンディングによる他はなかったため、不可避に寄生インダクタンスを有するボンディングワイヤのために、周波数の高い信号や微弱な信号の劣化が避けられなかった。

【0012】これに対して本発明に係る半導体デバイスは、複数の半導体チップを積層して実装することにより、専有面積を著しく低減させたのみならず、配線長の短縮においても効果を挙げている。

【0013】即ち、半導体チップは、通常その一方の面の上に回路または素子が形成されている。従って、1対の半導体チップを互いに裏面が対向するように積層しても、その機能に対して影響はない。

【0014】ここで、絶縁基板の半導体チップは、装荷された回路または素子が絶縁基板の実装面に対向することになるが、フリップチップボンディングとよばれるパンプ電極を使用した実装方法によれば、半導体チップの表面を下に向けて実装することに問題はない。

【0015】一方、上記フリップチップボンディングに

より実装された半導体チップに積層して実装される第2半導体チップは、従来通りワイヤボンディングによって基板との接続を行うことができる他、具体的に後述するように、第1半導体チップに形成したヴィアホールを介して第1半導体チップおよび絶縁基板との間の配線を形成することができる。このような方式によれば、寄生容量の大きなボンディングワイヤの使用を削減できる他、信号線路長も短縮することができる。

【0016】尚、上記の説明では『半導体チップ』と呼んでいるが、実際には、超電導集積回路や光集積回路等の必ずしも電子回路ではない集積回路を装荷されたチップに対しても本発明が適用可能であることはいうまでもない。

【0017】以下、実施例を挙げて本発明をより具体的に説明するが、以下の開示は本発明の一実施例に過ぎず、本発明の技術的範囲を何ら限定するものではない。

【0018】

【実施例】図1は、本発明に係る半導体デバイスの具体的な構成例を示す図である。尚、同図において、図4と共通の構成要素には同じ参照番号を付して詳細な説明を省略している。

【0019】同図に示すように、この半導体デバイスは、絶縁基板1と金属筐体3とによって構成されたメタルパッケージに1対の半導体チップ2a、2bを収容して構成されているという点では、図4に示した半導体デバイスと共通である。

【0020】但し、この半導体デバイスでは、第1半導体チップ2aが倒立して、いわゆるフリップチップボンディングにより絶縁基板1に実装されている。また、第2半導体チップ2bは通常の向きで、即ち、第1半導体チップ2aと裏面どうしを合わせるようにして、第2半導体チップ2a上に装荷されている。

【0021】ここで、第1半導体チップ2aは、バンプ電極5を介して絶縁基板1上の配線に接続されている。一方、第2半導体チップ2bは、ボンディングワイヤ4を介して絶縁基板1上の配線に接続されている。

【0022】以上のように構成された半導体デバイスでは、使用する絶縁基板1に必要な面積は、第1半導体チップ2aを単独で実装した場合と同じである。従って、封止のために使用する金属筐体3は小型のものを使用することができる。また、特に第1半導体チップ2aは、フリップチップボンディング方式により実装されているので、信号劣化の原因となり易いボンディングワイヤの使用量も削減されている。

【0023】図2は、本発明に係る半導体デバイスの他の構成例を示す図である。この図においても、図1および図4と共通の構成要素には同じ参照番号を付して詳細な説明を省略している。

【0024】同図に示すように、この半導体デバイスは、絶縁基板1、半導体チップ2a、2bおよび金属筐

体3による基本的な配置は、図1に示した半導体デバイスと共通の構成を有している。

【0025】この半導体デバイスの特徴は、第2半導体チップ2bの電気的な接続にある。即ち、ここで使用されている第1半導体チップ2aには複数のヴィアホール6が形成されており、第2半導体チップは、ボンディングワイヤ4およびヴィアホールを介して、第1半導体チップ2aの回路の接続されている。

【0026】以上のような構成により、この半導体デバイスでは、信号劣化の原因になり易いボンディングワイヤの使用量を低減し、更に、このパッケージ内での信号線路長を短縮している。

【0027】図3は、本発明に係る半導体デバイスの更に他の構成例を示す図である。この図においても、図1、図2および図4と共通の構成要素には同じ参照番号を付して詳細な説明を省略している。

【0028】同図に示すように、この半導体デバイスは、絶縁基板1、半導体チップ2a、2cおよび金属筐体3による基本的な配置並びにそれらの配線については、図2に示した半導体デバイスと共通の構成を有している。

【0029】この半導体デバイスの特徴は、第2半導体チップ2cとして光素子であるフォトダイオードを使用している点にある。従って、金属筐体3には、フォトダイオードの受ける光を透過させるための透明な窓3aが形成されている。

【0030】一般に、フォトダイオードの出力する電気信号は、通常の電子回路で取り扱われる信号と比較すると極めて微弱であり、信号の劣化や雑音の影響が常に問題になっている。これに対して、本発明に従って構成された半導体デバイスでは、信号劣化の原因になり易いボンディングワイヤ4の使用が極限まで短縮されており信号品質を維持し易い。

【0031】

【発明の効果】以上説明したように、本発明に従う半導体デバイスは、複数のチップを備えた半導体デバイスとしては画期的に小型化されている。従って、封止のために使用する金属筐体を小型化することができるので、低コストに製造することができる。

【0032】また、単に物理的に小型化されているだけではなく、信号劣化の原因になり易いボンディングワイヤの使用量を短縮しており、微弱な信号や周波数の高い信号を取扱う場合にも、信号劣化の少ないデバイスとして有利に使用することができる。

【0033】以上のような特徴を有する本発明に係る半導体デバイスは、複数の半導体チップを使用したデバイスのみならず、光素子、光集積回路、チップ集積回路等の半導体以外の集積回路を使用したデバイスにも好適に採用することができる。

【図面の簡単な説明】

5

6

【図1】本発明に係る半導体デバイスの構成を模式的に示す図である。

【図2】本発明に係る半導体デバイスの他の構成例を示す図である。

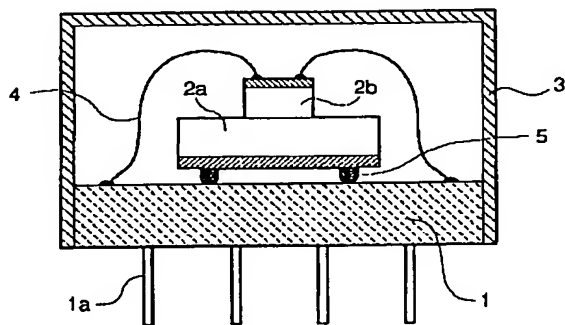
【図3】本発明に係る半導体デバイスの更に他の構成例を示す図である。

【図4】複数の半導体チップを使用した従来の半導体デバイスの典型的な構成を示す図である。

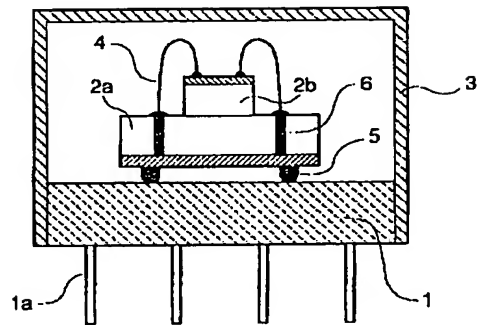
【符号の説明】

- 1・・・絶縁基板、
- 2a・・・第1半導体チップ、
- 2b・・・第2半導体チップ、
- 2c・・・フォトダイオード、
- 3・・・金属筐体、
- 4・・・ボンディングワイヤ、
- 5・・・パンプ電極、
- 6・・・ビアホール

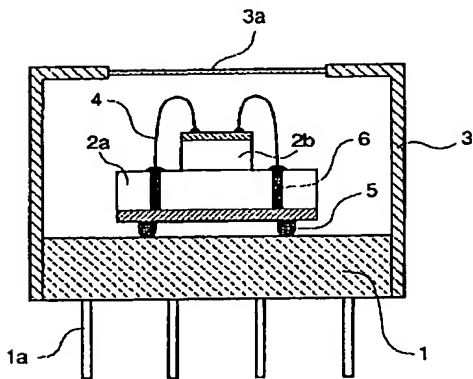
【図1】



【図2】



【図3】



【図4】

